

## [주)팬도] PCB 설계 기준

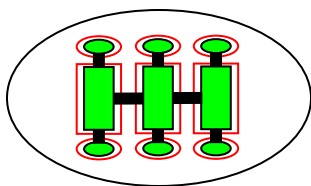
### - 목 차 -

1. 목적
2. 적용범위
3. PCB 설계시 일반적 사항
4. 부품 PACKAGE 형태
5. 라이브러리 설계기준
6. 배선시 고려사항
7. IMPEDANCE CONTROL PCB 설계

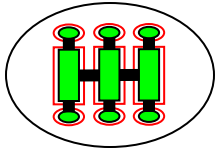
경기도 시흥시 대은로103번길7 신화프라자 802호

Tel : 031-404-7421~2

Fax : 031-404-7423



(주)팬도

 (주)팬 도	<h1>PCB 설계 기준</h1>	개정No: 1

1. 목적

이 설계 기술은 H/W 설계과정에 필수적인 PCB 설계시 각 단계별 작업지침을 명시하여 고품질의 PCB를 설계하는데 그 목적이 있다

2. 적용범위

본 설계 기술은 (주)팬도 ARTWORK 사업부에서 PCB 설계시 적용한다.

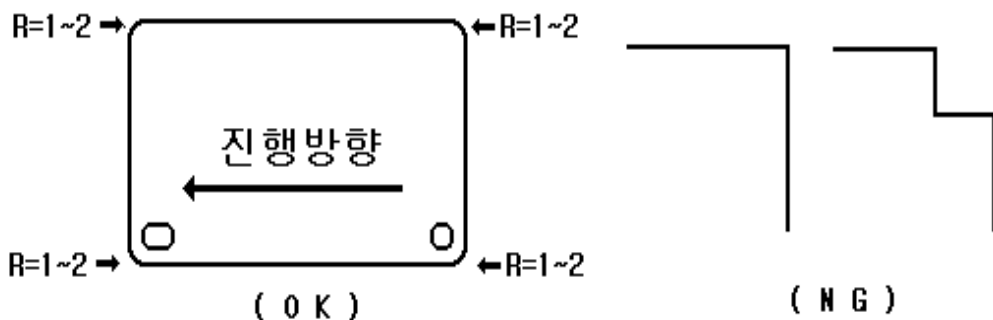
3. PCB설계시 일반적 사항

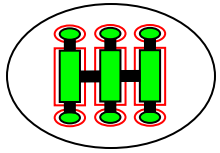
3.1 일반적 고려사항

- 1) 생산성(자동삽입)을 고려해서 배치한다.
- 2) 시험성을 고려해서 배치한다.
- 3) 회로특성 및 자동 배선률을 고려해서 배치한다.
- 4) 열분산을 고려하여 배치한다.
- 5) Balance와 안정감이 유지되도록 배치, 배선한다.
- 6) NOISE(crosstalk, undershoot, overshoot)등의 signal integrity를 고려해서 배선 설계한다.
- 7) 용도별 사용 LOGICAL LAYER
  - (1) DRAFT 1 : PCB\_NAME\_TAG, STACKUP등 환경표현
  - (2) DRAFT 2 : BOARD DIMENSION
  - (3) DRAFT 3 : 부품실장 및 배선 금지영역 설정
  - (4) DRAFT 4 : CONNECTOR, LED등 고정부품표시

3.2 PCB 기구도 및 기준홀 설계 기준

1) PCB의 기구도 설계





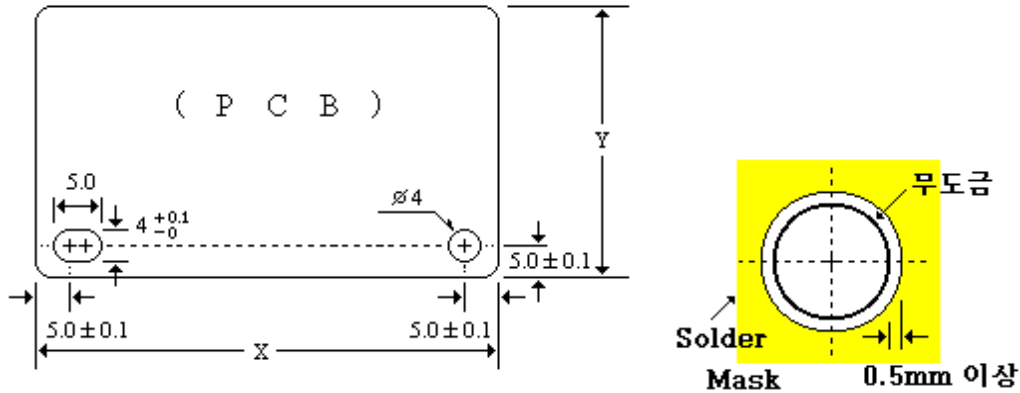
(주)팬도

# PCB 설계 기준

개정No: 1

PAGE : 2

## 2) PCB 기준홀 설계 기준 [ 단위 : mm ]



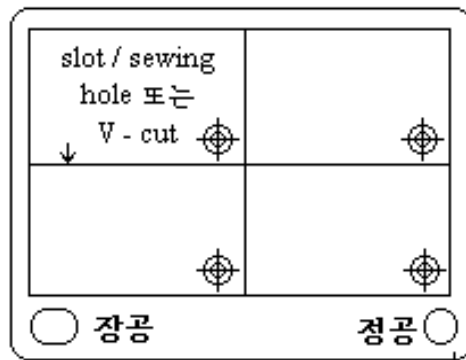
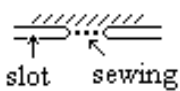
\* 기준홀은 도금 및 SOLDER MASK를 하지 않는다.

## 3.3 ARRAY 형태의 PCB 설계 기준

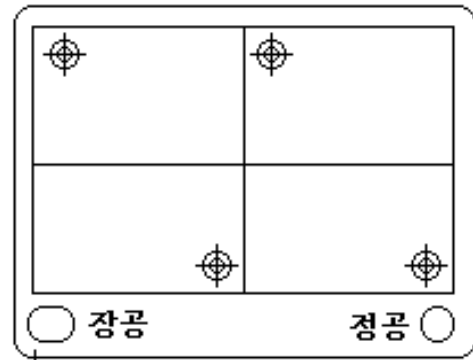
1) ARRAY된 PCB의 배열형태는 동일한 방향을 원칙으로 한다.

※ 참조

slot / sewing



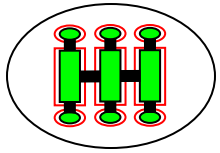
( O K )



보조가이드

( N G )

- \* 장점 : - 부품의 실장방향의 T식별이 용이하다.
- 프로그램 작성 및 수정이 용이하다.
- 기판 분리가 용이하다.
- 기계의 효율이 좋다.



(주) 팬도

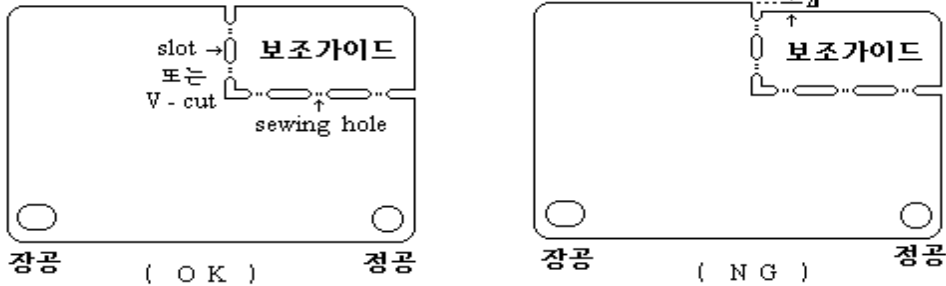
# PCB 설계 기준

개정No: 1

PAGE : 3

## 3.4 보조 가이드 설계 기준

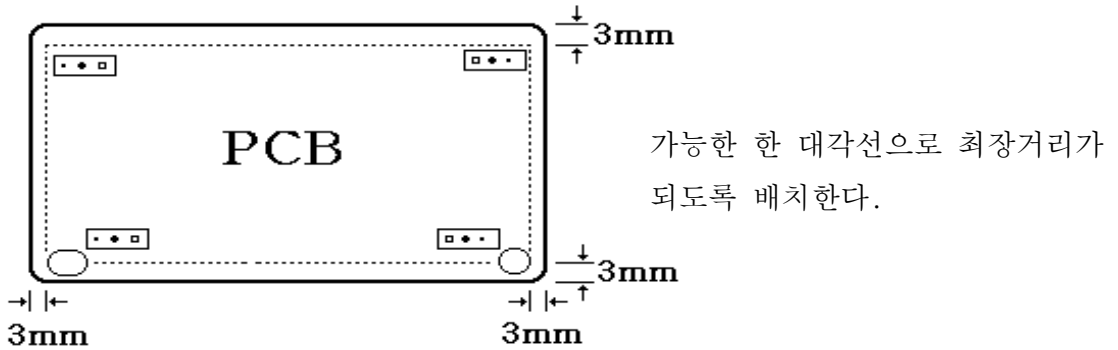
1) 부품자동실장 측면에서 PCB의 원활한 이동을 위하여 아래 그림과 같이 보조 가이드를 부착한다.



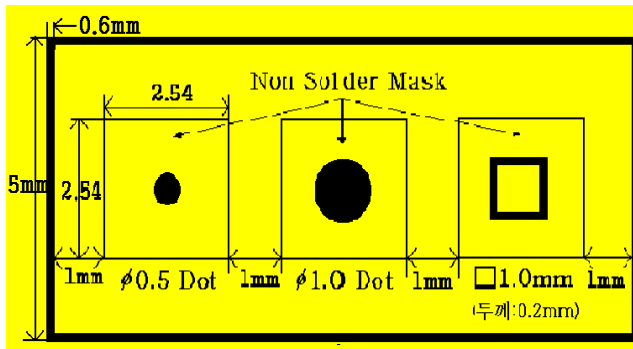
## 3.5 FIDUCIAL MARK 설계기준

1) 기관 인식 MARK

SMD 실장면(Top, Bottom)에 다음과 같이 FIDUCIAL MARK를 2곳 이상에 설계한다.

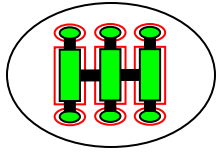


2) 모양 : 장비의 특성에 따라 차이가 있으므로 아래와 같이 3개 모두를 기본으로 한다.



\* NOTE : 보호테두리는 PCB 제조시 or 취급시에 MARK를 보호하기 위한 것이다.

\* NOTE : 보호테두리의 재질은 동박PATTERN으로 하고 SOLDER MASK처리를 한다



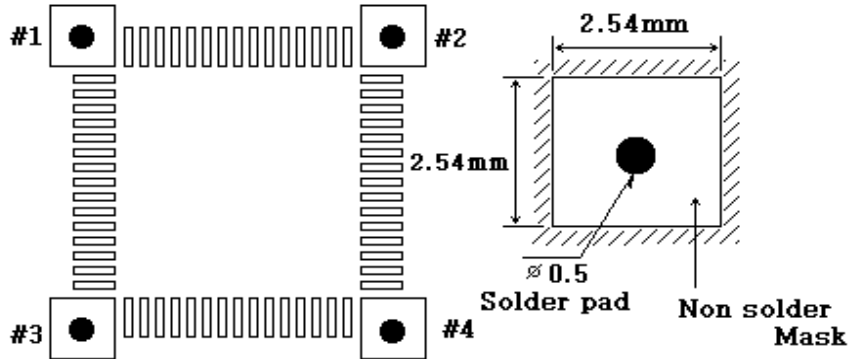
(주)팬도

# PCB 설계 기준

개정No: 1

PAGE : 4

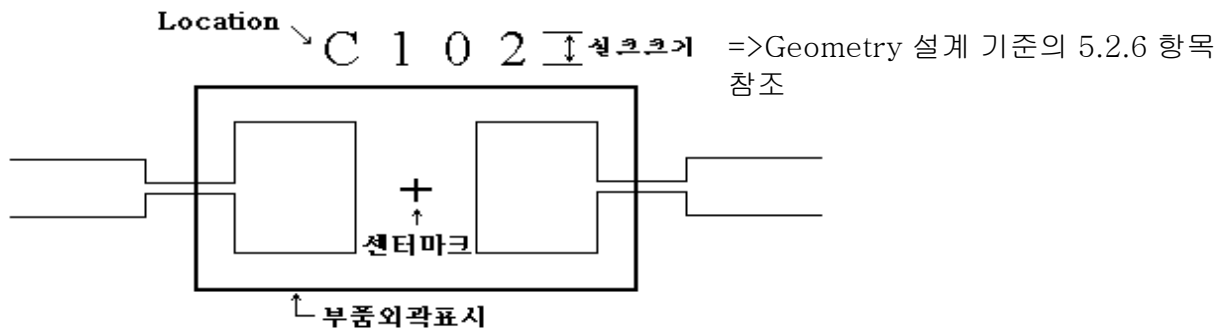
### 3) 부품인식 마크



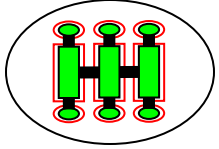
구분		갯수	개소	해당부품
리드열	피치 [mm]			
4방향	0.3 ~ 0.7	4	# 1, # 2, # 3, # 4	TCP, QFP
	0.8 이상	2	# 1, # 4 또는 # 2, # 3	QFP / PQFP, BGA
2방향	0.65 이하	2	# 1, # 4 또는 # 2, # 3	VSOIC, 콘넥터

### 3.6 부품표시와 센터마크

1) 각각의 부품에는 외곽표시(Silkscreen), LOCATION(Ref, Des) 센터마크의 실크를 표기한다.



- \* NOTE : 1. 센터마크는 SMD 부품에 대해 격자(+)로 표기한다.
- 2. 외곽표시는 PAD 바깥쪽에 표기한다.
- 3. BGA의 경우는 실제 부품의 크기보다 0.2 mm 크게 실크를 표기한다.



(주)팬도

# PCB 설계 기준

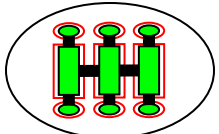
개정No: 1

PAGE : 5

## 4. 부품 Package 형태

### 1) IC Package 형태

Package Style Prefix	Package Style
bga	Ball Grid Array
cfp	Ceramic Flat Package
cqfp	Ceramic Quad Flat Package
dip	Dual In-Line Package
fp	Flat Package
lcc	Leadless Chip Carrier
plcc	Plastic Leaded Chip Carrier
pga	Pin Grid Array
qfp	Quad Flat Package
pqfp	Plastic Quad Flat Package
sip	Single In-Line Package
sod	Small Outline Diode
soj	Small Outline J-leaded Package
sop	Small Outline Package
ssop	Shrink Small Outline Package
to	Transistor Outline
sot	Small Outline Transistor
tsop	Thin Small Outline Package
sim	Single In-Line Memory Module
zip	Zigzag In-Line Package



(주)팬 도

# PCB 설계 기준

개정No: 1

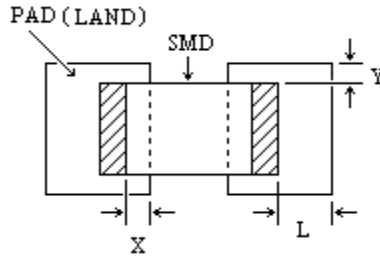
PAGE : 6

## 5. 라이브러리 설계 기준

라이브러리는 다음 규격에 따라 설계한다.

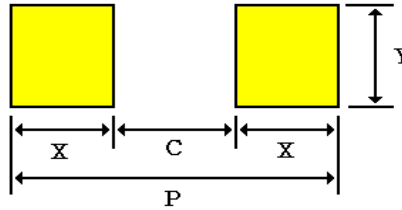
만일, 해당규격이 없는 경우는 반드시 메이커에서 RECOMMEND하는 SPEC으로 설계한다.

### 1) PAD SIZE 설정기준 (PAD규격이 명시되지 않은 경우)

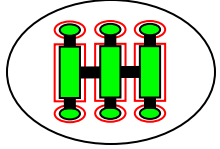


기 준	X [mm]	Y [mm]	Z [mm]
reflow	+ 0.05	+ 0.05	+ 0.5
wave	+ 0.05	+ 0.00	+ 0.90

### 2) CHIP RESISTORS



부품치수 [mm]			REFLOW [mm]				FLOW [mm]			
L	W	T	X	Y	C	P	X	Y	C	P
0.6	0.3	0.25	0.23	0.32	0.26	0.72	-	-	-	-
1.0	0.5	0.35	0.5	0.6	0.5	1.5	-	-	-	-
1.6	0.8	0.45	0.8	1.0	0.8	2.4	0.8	0.8	0.8	2.4
2.0	1.25	0.6	1.2	1.4	1.0	3.4	1.2	1.25	1.2	3.4
3.2	1.6	0.6	1.3	1.6	1.8	4.4	1.3	1.6	1.2	4.4
3.2	2.5	0.6	1.3	2.6	1.8	4.4	1.3	2.5	1.2	4.4
4.5	3.2	0.6	1.6	3.2	3.3	6.5	1.6	3.2	3.3	6.5
6.4	3.2	1.1	2.0	3.2	3.6	7.6	2.0	3.2	3.6	7.6



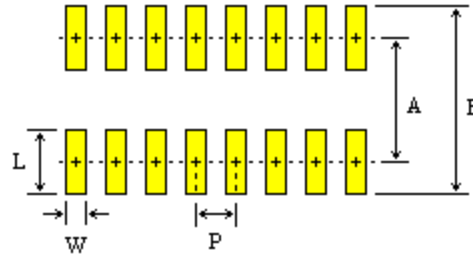
(주)팬도

# PCB 설계 기준

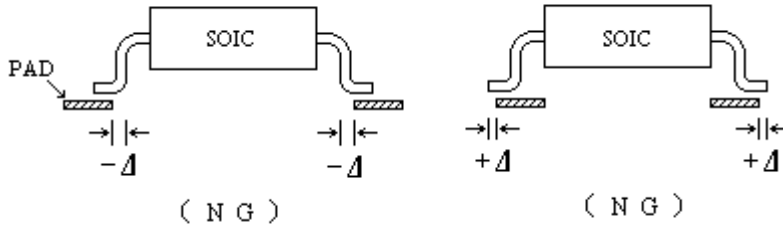
개정No: 1

PAGE : 7

## 3) SOIC

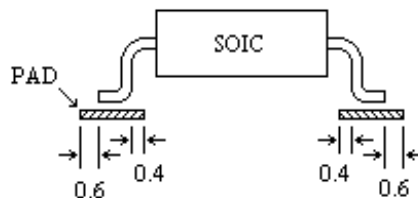


TYPE	A ( mm )	B ( mm )	W ( mm )	L ( mm )	p ( mm )
SOP	5.7	7.7	0.5	1.5	1.27
	10.0	12.0	0.5	1.5	
TSOP	10.0	12.0	0.4	1.5	0.80
SSOP	5.7	7.7	0.4	1.5	0.635
	10.0	12.0	0.4	1.5	0.65
TSSOP	10.0	12.0	0.25	1.5	0.50
	7.6	9.6	0.25	1.5	0.50

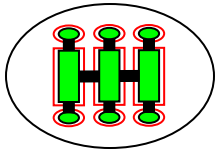


\* NOTE : 1.VENDER에 따라 LEAD FOOT PRINT의 길이차가 있으나 어떠한 경우에도 LEAD가 PAD 안쪽 또는 밖으로 나오지 않도록 설계한다.

2.상기와 같은 경우는 메이커의 RECOMMEND SPEC에 따라 적용하거나 다음 기준으로 설계한다.[단위 : mm]







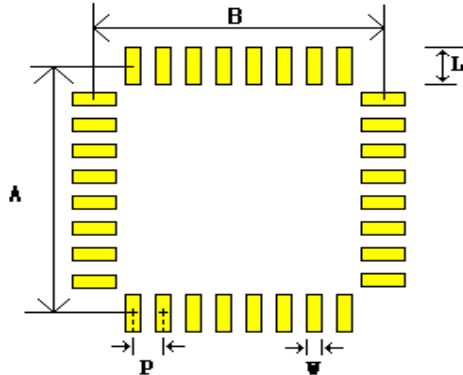
(주)팬도

# PCB 설계 기준

개정No: 1

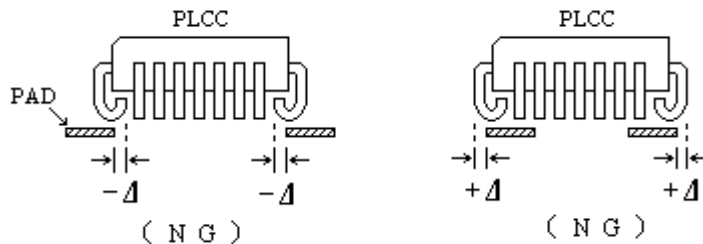
PAGE : 8

## 4) PLCCs



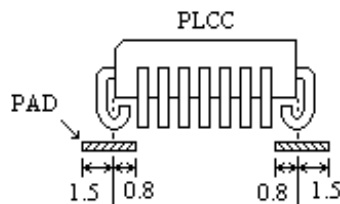
Unit [mm]	A [mm]	B [mm]	W [mm]	L [mm]	P [mm]
PLCC-20	8.9		0.5	2.0	1.27
PLCC-28	11.5				
PLCC-44	16.5				
PLCC-52	19.0				
PLCC-68	21.5				
PLCC-84	29.0				
PLCC-32	14.0	11.5			

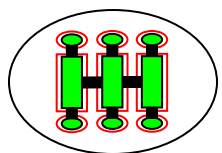
\* NOTE : 1.VENDER에 따라 LEAD FOOT PRINT에 차이가 있으나 어떠한 경우에도 LEAD가 PAD 안쪽 또는 밖으로 나오지 않도록 설계한다.



2.상기와 같은 경우는 메이커의 RECOMMEND SPEC에 따라 적용하거나 다음기준으로 설계한다.

[단위 : mm]





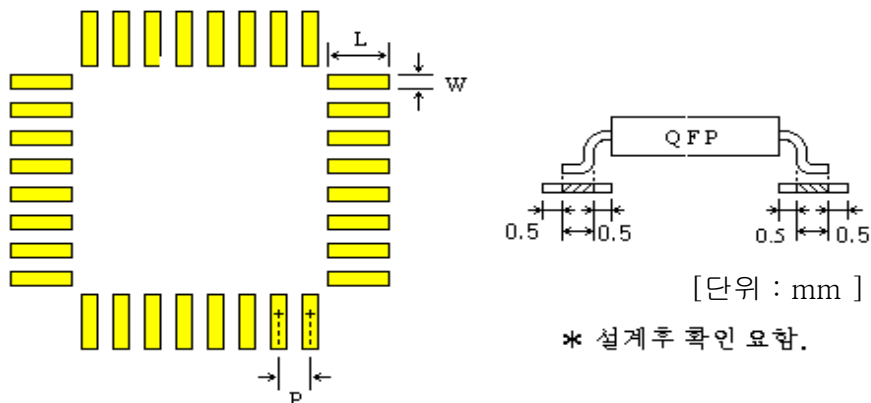
(주)팬도

# PCB 설계 기준

개정No: 1

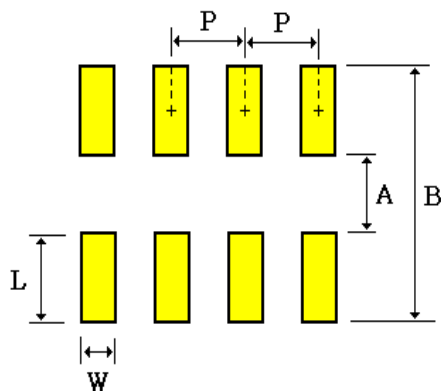
PAGE : 9

## 5) QFP, PQFP [단위 : mm]

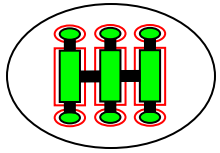


P [mm]	W [mm]	L [mm]
0.800	0.5	2.0
0.650	0.4	
0.635	0.5	
0.500	0.25	
0.400	0.2	

## 6) ARRAY RESISTER ( 부품크기 : 3.2mmL \* 1.6mmW )



PIN수 단위 [mm]	A	B	L	W	P
8 PIN	0.8	2.8	1.0	0.35	0.80
10 PIN	0.8	2.8	1.0	0.35	0.85



(주)팬도

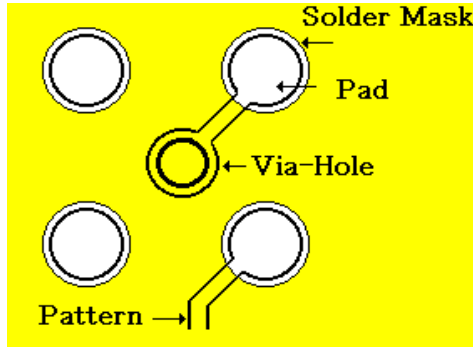
# PCB 설계 기준

개정No: 1

PAGE : 10

## 7) BGA & CSP

### (1) Pad의 설계



Pitch [ mm ]		1.27	1.0	0.8	0.5
Solder mask		0.65	0.60	0.50	0.04
pad		0.50	0.45	0.35	0.25
Via	Land	0.70	0.55	0.40	0.30
	Hole	0.40	0.35	0.25	0.20
Pattern		0.15	0.10	0.7	0.7

### (2) BGA용 Via Solder Mask처리

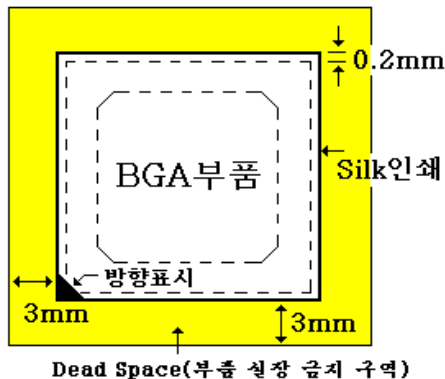
◎ Top Solder Mask처리 : Drill Hole보다 0.1mm 크게 한다.

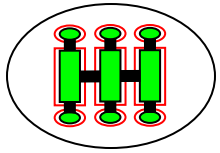
◎ Bottom Solder Mask처리 : Via pad보다 0.1mm 크게 한다.

### (3) Silk인쇄와 Dead Space

BGA의 외곽 Silk인쇄는 부품의 실장상태를 확인할 수 있도록 사용되는 부품의 크기보다 0.2mm 더 크게 설계하고, 부품주위의 Dead Space는 수리가 가능할 수 있도록 아래와 같이 정한다.

### (4) Silk인쇄와 Dead Space





(주)팬도

# PCB 설계 기준

개정No: 1

PAGE : 11

## 6. 배선시 고려사항

### 6.1 기본적 배선사항

#### (1) 배선 폭 및 CLEARANCE[단위:mm]

구분	배선 폭 [ mm]	PAD			배선 GRID	CLEARANCE			
		LAND	TYPE	DRILL		T-T	T-P	V-V	V-P
PIN간 1선/2.54mm	0.6	1.5	ROUND	1.0	0.25	0.25	0.25	0.3	0.3
PIN간 2선/2.54mm	0.25				0.25	0.2	0.2		
PIN간 3선/2.54mm	0.15				0.25	0.12	0.12		
SOP/1.27mm	0.2	0.5	0.12	0.12					
TSSOP/0.5mm	0.12	0.25	0.12	0.12					

#### (2) 전원층(NEGATIVE) 배선

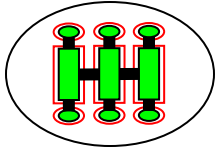
- ① PCB 외곽선으로부터 0.5mm이상 동박을 제거한다.
- ② POWER 분리선은 0.5mm 이상의 두께를 사용한다.
- ③ +전원은 VCC층에, -전원은 GND 층으로 분리한다.

\* +12V, -12V를 한 층에 넣으면 두 층의 전위차는 24V가 된다. 그러므로 +전압은 모두 VCC층에 분리하여 넣고, -전원은 GND층에 넣어 같은 층에서 큰 전위차가 생기지 않도록 한다. 큰 전위차의 발생은 NOISE 발생의 원인이 될 수 있다.

#### (3) Signal층(POSITIVE)배선

- ① DIFFERENTIAL LINE은 +, -선의 폭과 길이를 같은 층에서 같게 배선한다.
- ② 신호층 배선시 가급적 수평, 수직을 구분하여 배선 설계한다.(Crosstalk방지)
- ③ PCB 기구HOLE과 배선 사이는 1.0mm이상의 이격거리를 유지한다.
- ④ 곡점을 갖는 배선은 45도 이상의 굴곡을 유지한다.
- ⑤ 중요도가 높은것(CLOCK신호)부터 최단거리로 배선을 한다.
- ⑥ 빠른 신호선과 입력, 출력 신호들과는 격리 배선한다.
- ⑦ 배선은 가급적 Daisy chain 방식으로 배선한다.

분기 PATTERN 설계는 금지( T분기와 +분기의 사용을 최소화)한다.



(주)팬도

# PCB 설계 기준

개정No: 1

PAGE : 12

## (4) 전원 LINE 대책

- Decoupling Capacitor는 IC 부품의 전원핀과 가장 가까운 곳에 배치한다.
- 전원선(VCC, -48V, +12V, GND등)은 짧고 두껍게 배선하고 가능한 한 전원층(NEGATIVE)에서 배선한다

## (5) CLOCK LINE(X-TAL,OSC) 배선 요령

- CLOCK LINE은 주위를 GND로 Shielding한다.
- CLOCK LINE은 다른신호보다 먼저 배선하고 외층면에 배선한다.
- CLOCK LINE과 DATA BUS LINE과의 평행 배선은 피한다.
- CLOCK LINE 배선은 가능한 한 VIA를 사용하지 않고 같은 층에서 배선한다.

## (6) BUS LINE 배선 방법

- CLOCK LINE과 BUS LINE은 서로 평행하게 배선하지 않는것을 원칙으로 한다.  
단, 평행하게 배선 할 필요가 있는 경우 그 사이에 GND 신호를 삽입한다.

## (7) 1차/2차측 분리 배선한다.(PHOTO COUPLER, RELAY, TRANS)

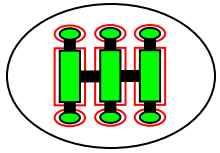
- 1차측 회로는 소전류, 저전압 신호로써 노이즈가 포함된 회로이며, 2차측은 대전류 고전압 신호가 흐른다. 따라서 입력신호와 출력신호를 완전히 분리시키고, 배선은 입력신호와 출력신호가 평행이 되지 않도록 한다.

## (8) OP AMP 배선 방법

OP AMP의 입력측은 짧고 두껍게 배선하고 (+),(-)의 패턴 길이는 똑같이 배선한다.

## (9) FILTER 배선 방법

- 입력 PATTEN끼리는 서로 교차하지 않게 배선한다.
- FILTER까지의 배선은 직선으로 한다.
- 입력선과 출력선을 평행하게 배선하지 않는다.
- FILTER를 사용한 LINE은 GROUND로 Shielding한다.
- CONNECTOR에서 FILTER까지의 배선은 직선으로 한다.



(주)팬 도

# PCB 설계 기준

개정No: 1

PAGE : 13

## 6.2 GND종류 및 처리방법

### (1) PCB LAYER별 GND

- 양면 : GND PATTERN을 굵고 짧게 하며 그물형 GND PATTERN 방식을 사용한다.
- 4층이상 : 최소한 한 층 이상으로 GND층을 삽입한다.

### (2) 목적에 맞추어서 GND COPPER 종류를 달리한다.

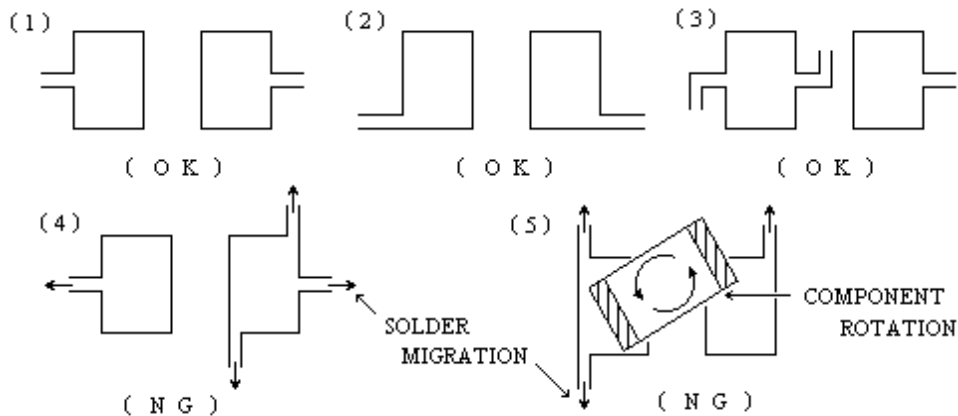
- 공급원 GND : 전원GND 공급원의 패턴을 굵게 하여 전원의 안정화를 꾀한다.
- 전면 GND : 전원의 임피던스 감소를 목적으로 한다.

① BETA GROUND의 꼭지점에는 반드시 GROUND VIA를 삽입한다.

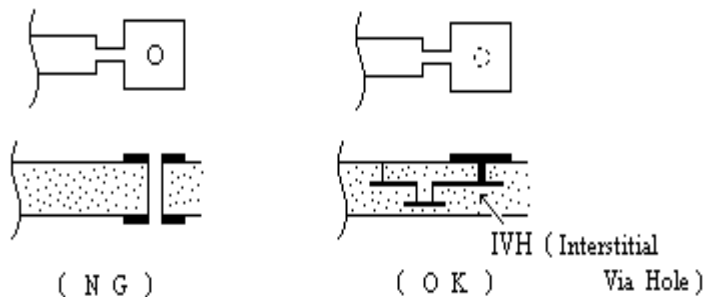
② BETA GROUND내에 가능한 많은 GROUND VIA를 삽입한다.

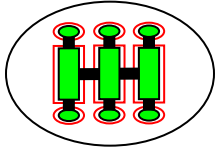
## 6.3 PAD의 Trace 설계시 고려사항

### (1) 부품의 회전을 막기 위해 PAD 및 Trace를 대칭으로 설계한다.



### (2) PAD를 관통하는 Through-Hole은 금한다.





(주)팬도

# PCB 설계 기준

개정No: 1

PAGE : 14

## 6.4 DRC 체크

### 1) DRC 조건

\* PCB제조업체의 제작사양 및 제한환경을 기준으로 하여 DRC(Design Rule check)체크를 실시한다

- Trace to trace clearance : 0.12mm 이상
- Trace to pad clearance : 0.12mm 이상
- Trace to via clearance : 0.12mm 이상
- Via to via clearance : 0.3mm 이상
- Pad to pad clearance : 0.3mm 이상
- Pad to via clearance : 0.3mm 이상

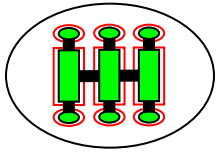
### 2) 체크방법

- CAD Tool layout에서 On-line 체크를 원칙으로 하며 만일 On-line 체크를 적용하지 않고 설계한 경우에도 반드시 Gerber Data를 생성하기 전에 DRC(Design Rule Check) 체크를 한다.

## 6.5 결과물출력(Gerber Data)

Gerber Data 파일

- \* 각LAYER FILE (GERBER/PDF)
- \* SILK TOP/BOT (GERBER/PDF)
- \* SOLDER MASK TOP/BOT (GERBER/PDF)
- \* DRILL TABLE GB (GERBER/PDF)
- \* MECHANICAL DRAW (GERBER)
- \* TOP/BOT\_PASTE (GERBER/PDF)
- \* DRILL DATA/BIT



(주)팬도

# PCB 설계 기준

개정No: 1

PAGE : 15

- \* APERTURE LIST/PCBG
- \* Netlist
- \* neutral\_file
- \* BOM
- \* location\_smd
- \* MOUNTING DRAWING (PDF)
- \* 회로도 (PDF)

## 2) GERBER FORMAT

- \* DATA FORMAT : GERBER
- \* COORDINATE : 2.3
- \* DATA CODE : ASCII
- \* E.O.M CODE : \*
- \* STOP CODE : M02
- \* DATA UNIT : MILS
- \* DATA MODE : ABS(o)

## 7. Impedance controlled PCB 설계

### 7.1 Impedance의 정의

전파지연(Propagation Delay)이 없는 균일 전송선로(Transmission Line)상의 매 Point에서의 전류 대 전압의 비를 말한다.

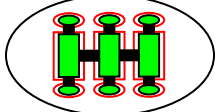
직류 및 교류에 의해 발생하는 저항치의 총계를 말하고,  $Z_0$ 로 표시하며 Resistance, Capacitance, Reactance, Inductive Reactance의 조합으로 그 단위는  $\Omega$  (Ohm)이다.

### 7.2 PCB'S 임피던스

Signal과 Reference Plane사이의 Line Geometry, Dielectric Distance 그리고 층을 분리하는 물질의 Dielectric Constant의 함수이다.

Reference Plane이 없는 Characteristic Impedance는 있을 수 없으며, MLB에서의 Reference Plane은 Power or Ground층이다





(주)팬도

# PCB 설계 기준

개정No: 1

PAGE : 16

## \* 임피던스 PCB 설계방법

- 1) 설계요구된 보드의 PCB 두께와 임피던스 값을 확인한다.
- 2) 임피던스 PCB 설계의 구조를 이해(Stripline, MicroStripline etc) 한다.
- 3) PCB 제조업체로부터 입수된 임피던스 설계란 PCB 유전율(Er)과 Tine Core, Prepreg의 사양을 입수한다. 사양을 가지고 최적의 임피던스 적층구조를 결정한다.
- 4) 총 두께에 맞추어 해당 layer의 임피던스를 규정된 값으로 control 한다.(trace width 조정)
- 5) 임피던스 적층구조가 결정 된 후 임피던스 계산툴을 이용하여 요구한 임피던스 값에 대한 trace width 정보를 얻는다.
- 6) 보다 정확한 임피던스 PCB 설계를 하기 위해서는 PCB 제조업체에 PCB 두께, 임피던스 적층구조를 의뢰하여 제조업체에서 요구한 사양대로 임피던스 PCB 설계를 한다.

## 7.3 임피던스에 영향을 미치는 Factor

PCB상의 회로들은 다음과 같은 Factor들에 의해 복합적으로 구성되어 있다.

- 1) 회로폭(W), 회로두께 (T)    2) 절연두께(H)    3) 회로의 형태    4) 유전율(Er)

### 7.3.1 임피던스 감소

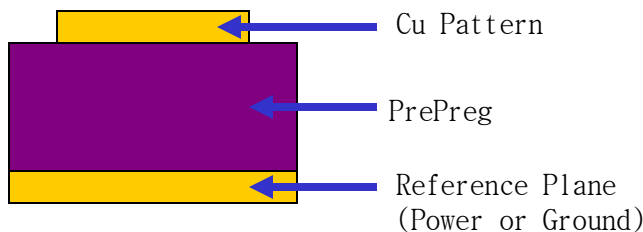
- 1) 회로폭 & 회로두께 증가(반비례)
- 2) 절연간격 감소(비례)

### 7.3.2 임피던스 증가

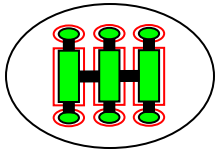
- 1) 레진 함량 증가(비례) =>더 얇은 Prepreg
- 2) 절연상수의 감소

## 7.4 임피던스 회로의 구성

### 1) Surface Micro Strip Line



Trace가 PCB의 외곽층에 위치



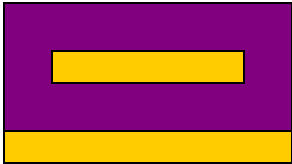
(주)팬 도

# PCB 설계 기준

개정No: 1

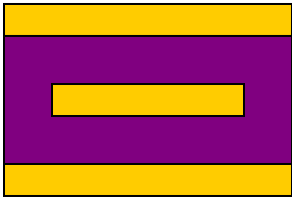
PAGE : 17

## 2) Embedded Micro Strip Line



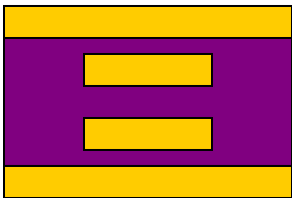
그라운드층이 한쪽에  
Trace가 PCB 내층에 위치

## 3) Strip Line



한 개의 Trace가 내층에서  
양쪽에 그라운드층 사이에 위치

## 4) Dual Strip Line



두개의 Trace가 내층에서  
양쪽에 그라운드층 사이에 위치

## 7.5 원자재의 두께 및 유전율

### 1) Core CCL

Thin Core(0.8t이하) : 동박을 제외한 Epoxy만의 두께를 사용한다.

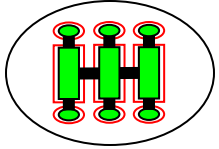
0.025t, 0.08t, 0.1t, 0.15t, 0.2t, 0.3t, 0.4t, 0.5t, 0.6t, 0.8t 정도가 일반적인 사항이고,  
그 외에 주문사양에 따라 원자재가 구매될 수도 있다.

### 2) Prepreg

국내에서 입수 할 수 있는 Prepreg는 일반적으로 4가지 형태로 된다.

즉, 1080, 2116, 7628 이며 그 두께는 일반적으로 각각 0.06mm, 0.12mm, 0.18mm, 0.2mm 정도이다.  
첫째로 1080의 경우 층간 2장 이상 사용해야 절연특성 및 최소 절연 두께 요구치를 만족시킬수  
있으며, 둘째로 각 Prepreg들을 층간 3장 이상 사용할 경우 적층 공정에서 층간 쏠림 현상  
등의 부적합 발생율이 매우 높아진다는 것이다.

또한 Prepreg의 특성상 PRESS 작업 전 후의 두께에 심한 편차를 보이는 경우가 있어 반드시  
공정변수를 고려하여 설계하여야 한다.



(주)팬도

# PCB 설계 기준

개정No: 1

PAGE : 18

간단한 Impedance계산에서는 1060 $\times$ 0.05mm, 1080 $\times$ 0.06mm, 2113 $\times$ 0.09mm, 2116 $\times$ 0.11mm, 7628 $\times$ 0.18mm 에 공차 $\pm$ 10%씩을 적용하면 무난하다.

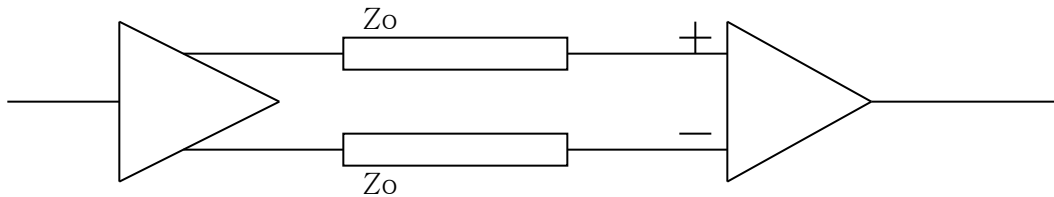
### 3) Copper Foil

현재 작업 가능한 동박 두께는 1/2[Oz], 1[Oz], 2[Oz]정도이며, 각각의 두께 0.0175mm, 0.0350mm, 0.0700mm 정도를 사용하면 된다. 단, 내층의 경우에는 Oxidation 공정을 비롯한 기타 여러가지 공정 변수에 의하여 동박 두께가 일정량 감소되는 경우가 있으며, 외층 동박의 경우에는 도금의 영향으로 두께가 약 30~80 $\mu$ m 정도 증가될 수 있다.

### 4) 원자재의 유전을

제품 모델별, Lot 별 편차가 심하며, 또한 적층 공정에서 Resin 의 함량 및 Flow-rate에 따라 유전율이 변화한다. 일반적인 임피던스 계산에서는 4.4~4.8  $\pm$ 10%정도를 사용하면 된다.

## 7.6 Differential Impedance

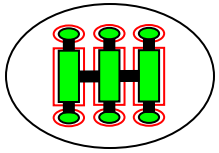


### 1) 개요

그림과 같이 나란히 지나가는 두 회로에서 는 한 회로에는 (+)신호가 다른 한 회로에는 (-)신호가 전송될때, 두 회로의 상호작용에 두회로에의 Impedance 절대값의 합과 Crosstalk coefficient에 의해 Differential Impedance가 결정된다.

### 2) Advantages of Differential Signal Transsmission

- High Clock Rate Possible(>100 MHz)
- Low EMI Spectrum ( Low Signal Lift에 기인)
- Low Power Consumption



(주)팬도

# PCB 설계 기준

개정No: 1

PAGE : 19

## 7.7 특성 임피던스 반사에 의한 신호 왜곡 제어(Reflection)

반사파에 대한 제어 과정을 통하여 신호의 Undershoot, Overshoot, 그리고 Ringing Back이라는 Noise 성분을 최소화 할 수 있다. 구동 된 신호의 반사파는 신호가 진행되는 전송선 통로의 특성 임피던스 값이 변화 할 경우 발생하게 된다. 따라서 1차적으로 반사파에 의한 신호 왜곡을 최소화 하기 위하여 특성 임피던스를 동일하게 유지시킬 수 있도록 고려하여야 한다.

PCB상에 구성된 전송선의 특성 임피던스는 선 폭, 선 두께, Reference Plane과의 거리, FR4의 유전율과 같은 PCB Parameter값과 전송선상에 추가로 작용하는 부하요인에 의하여 결정되어 진다. 또한 동일한 상기 Parameter값을 갖는 신호선이라도 그 구성에 있어 Micro Strip, Strip, Dual Strip등 각종 PCB 적 층 구조에 따라 특성 임피던스 값은 변하게 된다. 참고로 Strip Line 구조를 갖는 전송선의 고유 특성 임피던스( $Z_0$ )와 고유 Propagation Delay( $Tp_0$ )는 다음의 공식을 통하여 계산 할 수 있다.

## 7.8 특성 임피던스 제어를 통한 반사파 제어

단위 길이 당 균일한 부하 CL을 갖는 전송선의 경우 전송선의 특성 변화는 다음과 같은 공식으로 나타낼 수 있다.

$$ZL = Z_0 / \sqrt{1 + (CL / C_0)}$$

$$Tp = Tp_0 \times \sqrt{1 + (CL / C_0)}$$

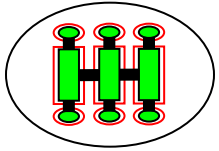
ZL : 추가된 부하 요인에 의하여 변경된 전송선의 특성 임피던스

TpL : 추가된 부하 요인에 의하여 변경된 단위길이 당 Propagation Delay

CL : 추가된 부하 요인에 의하여 변경된 단위길이 당 분산 Load Capacitance

앞에서 언급한 공식을 이용하여 우리는 제조된 PCB 전송선의  $Z_0$ 와  $Tp_0$ 값을 알 수 있다. 그렇다면 상기의 Parameter중 CL 과  $C_0$ 의 값을 구하면 원하는 값 ZL을 산출할 수 있을 것이다. 단위 길이 당 분산된 고유 캐패시턴스  $C_0$ 는 다음 공식을 이용하여 계산 할 수 있다.

$$C_0 = Tp_0 / Z_0$$



(주)팬도

# PCB 설계 기준

개정No: 1

PAGE : 20

## 7.9 PCB 신호선의 Impedance를 제어 하는 목적

- 1) 신호의 전송 통로상에서 발생 할 수 있는 반사파의 제거
- 2) Termination Method 및 Value의 산출
- 3) Crosstalk 발생 요인의 최소화
- 4) Flight Time의 예측을 통한 설계 마진의 확보

### ▣ PCB 설계 영업 및 PCB 제조 문의

담당자 : 박 을식 대표

핸드폰 : 010-9807-0117

개인 E-Mail : adetec@hanmail.net

회사 E-Mail : pandoman@empal.com

### ▣ PCB 설계 기술 문의 (Impedance 설계)

담당자 : 오 원석 팀장

핸드폰 : 010-3227-8022

개인 E-Mail : ohws@lycos.co.kr

회사 E-Mail : pandoman@empal.com

### ▣ PCB 설계 기술 문의 (High-Speed , Simulation)

담당자 : 정삼준부장

핸드폰 : 010-7979-1062

개인 E-Mail : cadman3@lycos.co.kr

회사 E-Mail : pandoman@empal.com